



Espacenet

Bibliographic data: JP 2000013022

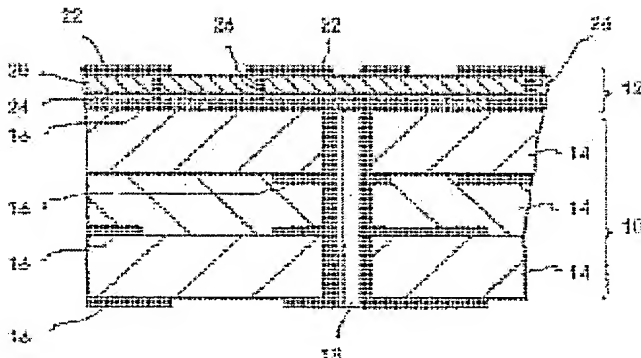
(A)

MULTI-LAYER WIRING CIRCUIT BOARD AND MANUFACTURE OF IT

Publication date: 2000-01-14
Inventor(s): HORIUCHI MICHIO; KURIHARA TAKASHI ±
Applicant(s): SHINKO ELECTRIC IND CO ±
Classification: - International: H05K3/46; (IPC1-7): H05K3/46
- European:
Application number: JP19980177444 19980624
Priority number(s): JP19980177444 19980624

Abstract of JP 2000013022 (A)

PROBLEM TO BE SOLVED: To provide a multi-layer wiring circuit board for higher density of a wiring pattern and simpler manufacturing process.
SOLUTION: Related to a multi-layer wiring circuit board wherein each of wiring patterns laminated into multi layers with insulating layers in between is electrically connected with a via penetrating the insulating layer, a film-like substrate 12 where a fine wiring pattern 22 finer than a main body part wiring pattern 16 formed on a main body part substrate 10 is formed is bonded to at least one surface side of the main body part substrate 10 where a main body part of the multi-layer wiring circuit board is formed using an adhesive layer 24 while the main body part wiring pattern 16 and the fine wiring pattern 22 are electrically connected together with a fine via 26 which is finer than a via 18 which is, penetrating the film-like substrate 12 and the adhesive layer 24, formed on the main body part substrate 10.



Abridged Translation of JP-2000/13022

(Jpn. Patent Laid-open 2000-13022)

Laid-open date: Jan. 14, 2000

Application Number: Hei-10-177444 (filing date: June 24, 1998)

Applicant: SHINKO ELECTRIC IND CO + (Jpn. Nagano)

1. Title of Invention

MULTILAYER WIRING CIRCUIT BOARD AND MANUFACTURE OF IT

3. Detailed Explanation of Invention

—※—※—※—※—※—※—※—※—※—※—※—

(Please see the appended Abstract written in English also.)

[0008] [Means for solving problem] The inventors have found that the wiring board shown in drawing 8 can be obtained by the manufacturing process which is low cost and simple as compared with the wiring board obtained by the method shown in drawing 9 and drawing 10. As compared with the mounting side of the wiring board on which electronic parts are mounted, the wiring pattern on the side of the external connection terminal mounting surface which is an opposite side thereof and is equipped with the external connection terminal of the wiring board does not need higher density than the mounting side and the wiring board shown in drawing 8 can suffice. For this reason, the inventors has found that it is effective to glue the film-like substrate which can have the finer wiring pattern and via than the wiring pattern and via formed in the wiring board shown in drawing 8 to the mounting side of the wiring board.

[0010] In the multilayer wiring circuit board concerning the invention, on at least one side of the body part board which forms the body part of the multilayer wiring circuit board, the film-like substrate, on which the finer wiring pattern and via than the body part wiring pattern and via formed in

this body part board were formed, is glued up by a glue layer while electrically connecting the body part wiring pattern to the fine wiring pattern. For this reason, the fine wiring pattern of a desired pattern can be formed so that miniaturized semiconductor devices, such as a chip-size package (CSP), and other electronic parts can be mounted on the mounting side where electronic parts such as a semiconductor device are mounted for example. ... Thus, according to this invention, the multilayer wiring circuit board which can mount easily electronic parts such as a miniaturized semiconductor device like CSP etc. were can be provided inexpensively.

[0011] [Mode for carrying out the invention] The multilayer wiring circuit board (wiring board) concerning this invention comprises the body part board 10 and the film-like substrate 12, as shown in drawing 1. For this body part board 10 the body part wiring patterns 16, 16 ... are laminated by means of the insulating layers 14, 14. In this body part board 10 the via 18 is formed which electrically connects the body part wiring patterns 16. The via 18 is formed by plating the inner wall of the bore which was drilled by a tool such as a drill in the insulating layers 14, 14. In this way the multilayer wiring circuit board can be manufactured with low cost. Now the via 18 may be filled up with fillers, such as electroconductive glue if needed.

[0015] Here, the body part board 10 shown in drawing 1 and drawing 2 can be manufactured by the coventionally known method. For example, after laminating the resin sheet of two or more sheets on which the body part wiring pattern 16 with prescribed shape was formed on one side, the bore is formed by the tool such as a drill, and then the inner wall of the bore is plated, and thus the via 18 is formed. In this plating, firstly the flash plating such as copper is performed to the inner surface of the bore by means of nonelectrolytic plating etc. Then the the copper layer is formed in the internal surface of the bore with electrolytic plating which uses the flash plating on one side of the electrodes and it becomes the via

18. Now after laminating some resin sheets among the resin sheets to be laminated, the bore may be drilled to form the via 18 and the remaining resin sheets may be laminated after that.

—※—※—※—※—※—※—※—※—※—※—※—

4. Brief Explanation of Drawings

Fig.1 is a fragmentary sectional view of the wiring board concerning this invention, Fig.2 is an explanatory view for explaining the manufacturing method of the wiring board shown in drawing 1, Fig.3 is a process drawing explaining the manufacturing process of the film-like substrate which forms the wiring board shown in drawing 1, Fig.4 is a fragmentary sectional view for explaining another example of the film-like substrate shown in drawing 3, Fig.5 is a fragmentary sectional view for explaining another example of the film-like substrate shown in drawing 3, Fig.6 is a fragmentary sectional view for explaining another example of the wiring board concerning this invention, Fig.7 is a fragmentary sectional view for explaining another example of the wiring board concerning this invention, Fig.8 is a fragmentary sectional view of the conventional wiring board, Fig.9 is a fragmentary sectional view showing the manufacturing process of the wiring board by a built up process and Fig.10 is process drawing for explaining the improved method which improved the manufacture of the wiring board by the built up process shown in drawing 9.

10...Body part board, 12...Film-like substrate, 14...Insulating layer, 16...Body part wiring pattern, 18, 26...Via, 20...Film, 22...Fine wiring pattern, 24...Glue layer, 28...Metal layer, 30...Crevice, 32...Metal, 34, 36, 38...Metal with low melting point 40...Protective film

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-13022

(P2000-13022A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.⁷

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

テーマコード* (参考)

E 5 E 3 4 6

N

T

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平10-177444

(22) 出願日 平成10年6月24日 (1998.6.24)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 堀内 道夫

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 栗原 孝

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 10007/621

弁理士 綿貫 隆夫 (外1名)

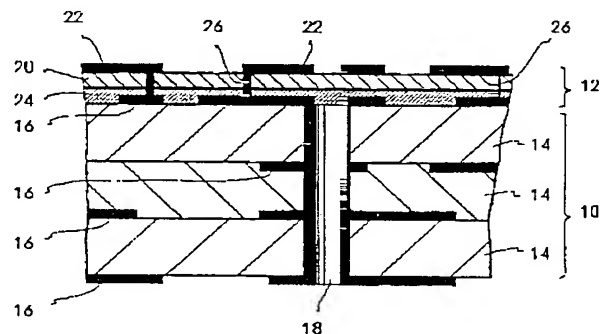
最終頁に続く

(54) 【発明の名称】 多層配線回路基板及びその製造方法

(57) 【要約】

【課題】 配線パターンの更なる高密度化を図ることができ、且つ製造工程を簡略化し得る多層配線回路基板を提案する。

【解決手段】 絶縁層を介して多層に積層された配線パターンの各々が、前記絶縁層を貫通するビアによって電氣的に接続されて成る多層配線回路基板において、該多層配線回路基板の本体部を形成する本体部基板10の少なくとも一面側に、本体部基板10に形成された本体部配線パターン16よりも微細な微細配線パターン22が形成されたフィルム状基板12が接着層24により接着されていると共に、本体部配線パターン16と微細配線パターン22とが、フィルム状基板12及び接着層24を貫通し、且つ本体部基板10に形成されたビア18よりも微細な微細ビア26により電氣的に接続されていることを特徴とする。



【特許請求の範囲】

【請求項1】 絶縁層を介して多層に積層された配線パターンの各々が、前記絶縁層を貫通するビアによって電氣的に接続されて成る多層配線回路基板において、該多層配線回路基板の本体部を形成する本体部基板の少なくとも一面側に、前記本体部基板に形成された本体部配線パターンよりも微細な微細配線パターンが形成されたフィルム状基板が接着層によって接着されていると共に、

前記本体部配線パターンと微細配線パターンとが、前記フィルム状基板及び接着層を貫通し、且つ前記本体部基板に形成されたビアよりも微細な微細ビアによって電氣的に接続されていることを特徴とする多層配線回路基板。

【請求項2】 本体部基板の各本体部配線パターンが、絶縁層を貫通する透孔の内壁にめっき金属皮膜が形成されて成るビアによって、電氣的に接続されている請求項1記載の多層配線回路基板。

【請求項3】 本体部基板とフィルム状基板とを接着する接着層が、熱可塑性樹脂により形成されている請求項1又は請求項2記載の多層配線回路基板。

【請求項4】 フィルム状基板が、微細配線パターンと接着層とがフィルムを介して一体に形成されていると共に、前記フィルム及び接着層を貫通して微細ビアが形成されて成るフィルム状基板である請求項1～3のいずれか一項記載の多層配線回路基板。

【請求項5】 フィルム状基板のフィルムに形成された微細配線パターンに一端部が接続された微細ビアの他端部が、接着層を形成する樹脂の熔融温度以下で熔融するはんだ等の低融点金属によって形成されている請求項1～4のいずれか一項記載の多層配線回路基板。

【請求項6】 フィルム状基板が、微細配線パターンが形成された複数のフィルム状基板が接着層を介して多層に積層されて成る多層フィルム状基板である請求項1～5のいずれか一項記載の多層配線回路基板。

【請求項7】 絶縁層を介して多層に積層された配線パターンの各々が、前記絶縁層を貫通するビアにより電氣的に接続されて成る多層配線回路基板を製造する際に、該多層配線回路基板の本体部を形成する本体部基板の少なくとも一面側に、前記本体部基板に形成された本体部配線パターンよりも微細な微細配線パターンが形成されたフィルム状基板を接着層によって接着すると共に、前記本体部配線パターンと微細配線パターンとを、前記フィルム状基板及び接着層を貫通し、且つ前記本体部基板に形成したビアよりも微細な微細ビアによって電氣的に接続することを特徴とする多層配線回路基板の製造方法。

【請求項8】 本体部基板として、本体部配線パターンの各々を、絶縁層を貫通する透孔の内壁に、めっき金属

皮膜を形成して成る微細ビアにより電氣的に接続した本体部基板を用いる請求項7記載の多層配線回路基板の製造方法。

【請求項9】 本体部基板とフィルム状基板とを、前記フィルム状基板に形成した接着層によって接着する請求項7又は請求項8記載の多層配線回路基板の製造方法。

【請求項10】 フィルム状基板として、微細配線パターンと接着層とをフィルムを介して一体に形成すると共に、前記フィルム及び接着層を貫通して微細ビアを形成して成るフィルム状基板を用いる請求項7～9のいずれか一項記載の多層配線回路基板の製造方法。

【請求項11】 フィルム状基板に形成した微細配線パターンに一端部が接続された微細ビアの他端部を、接着層を形成する樹脂の熔融温度以下で熔融するはんだ等の低融点金属によって形成する請求項7～10のいずれか一項記載の多層配線回路基板の製造方法。

【請求項12】 フィルム状基板として、微細配線パターンが形成された複数のフィルム状基板を接着層を介して多層に積層して成る多層フィルム状基板を用いる請求項7～11のいずれか一項記載の多層配線回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多層配線回路基板及びその製造方法に関し、更に詳細には絶縁層を介して多層に積層された配線パターンの各々が、前記絶縁層を貫通するビアによって電氣的に接続されて成る多層配線回路基板及びその製造方法に関する。

【0002】

【従来の技術】半導体装置等の電子部品が実装される多層配線回路基板（以下、単に配線基板と称することがある）には、図8に示す如く、絶縁層300、300・・・を介して配線パターン302、302・・・が積層された配線基板が使用される。図8に示す配線基板では、配線パターン302、302・・・の相互を電氣的に接続するビア304が形成されている。このビア304は、ドリル等の工作具を用いて絶縁層300、300・・・に穿設した透孔の内壁面にめっきを施して形成されたものである。尚、ビア304は、必要に応じて導電性接着剤等の充填材が充填されることもある。

【0003】かかる図8に示す配線基板は、ビア径等がドリル等の工作具の大きさで決定されるためビア304の微細化に限界がある。このため、配線パターン302を構成するラインのライン幅の細幅化等にはビア304の径との関係で限界あり、配線パターン302の微細化にも限界が存在する。一方、配線基板に搭載される半導体装置等の電子部品は、その小型化等が進展し電子部品に設けられる外部接続端子の高密度化も同時に進展してきている。このため、配線基板の配線パターン、特に半導体装置等の電子部品が実装される実装面側の配

線パターンの高密度化が要求されつつある。かかる要求に応えるべく、図9に示すビルドアップ法で製造される配線基板が提案されている。このビルドアップ法では、樹脂層100の両面に接合された金属箔としての銅箔101、101に、フォトリソ法等によってパターンニングを施して所望の配線パターン102、102・・を形成する〔図9(a)(b)の工程〕。更に、形成した配線パターン102、102・・上に絶縁層としての樹脂層104、104を形成した後、エッチング等により所定箇所にビア形成用の凹部103、103・・を形成する〔図9(c)の工程〕。この凹部104の底面には配線パターン102が露出している。

【0004】次いで、凹部104、104・・を形成した樹脂層103、103の両面の全面(凹部104、104・・の各々の内壁面を含む)に無電解めっき又はスパッタリングにより銅層105、105を形成した後、銅層105、105にフォトリソ法等によって所望の配線パターン106、106・・を形成する〔図9(d)(e)の工程〕。形成された配線パターン106は、凹部104の内壁に沿って銅層105が形成されたビア107によって、配線パターン102と接続されている。その後、配線パターン106、106・・上に樹脂層108、108を形成した後、エッチング等により所定箇所にビア形成用の凹部109、109・・を形成し〔図9(f)〕、更に図9(d)(e)の工程を繰り返すことによって、多層の配線基板を形成できる。

【0005】

【発明が解決しようとする課題】図9に示すビルドアップ法によって得た多層の配線基板は、ドリル等の工作具を使用してビアを形成した多層の配線基板よりも配線パターンを高密度に形成できる。しかし、その製造工程は複雑であり、得られる配線基板は従来の配線基板よりも高価となる。このため、本発明者等は、配線基板の製造工程の簡略化を図るべく、図10に示す様に、熱可塑性樹脂又は半硬化された熱硬化樹脂から成り、加熱処理によって接着性を呈し得る樹脂層(以下、Bステージの樹脂層と称することがある)の一面側に銅箔が接合されて成るフィルムを用いることを試みた。図10においては、図9に示すビルドアップ法と同様に、樹脂層100の両面に接合された銅箔101、101をフォトリソ法等によって所望の配線パターン102、102・・に形成した後、Bステージの樹脂層200の一面側に銅箔201が接合されたフィルムを、樹脂層100の両面に接合する〔図9(a)の工程〕。この接合は、樹脂層100の配線パターン形成面に樹脂層200を押圧しつつ加熱処理することによって、Bステージの樹脂層200の接着能を発現させることにより接合できる。尚、図10においては、樹脂層100の片面側に配線パターンを積層する状態を示す。

【0006】図10(a)の工程で配線パターン102

に積層した樹脂層200には、ビア形成箇所の銅箔部分をエッチング等で除去した後、銅箔201から露出した樹脂層部分をレーザー等で除去してビア形成用の凹部202・・を形成する〔図10(b)〕。かかる凹部202・・の内壁面及び銅箔201の全面に、無電解めっき又はスパッタリング等により銅層203を形成した後、銅層203が積層された銅箔201にフォトリソ法等によって所望の配線パターン204・・を形成する〔図10(c)(d)の工程〕。形成された配線パターン204は、凹部202の内壁に沿って銅層203が形成されたビア205によって、配線パターン102と接続されている。その後、図10(a)～(d)の工程を繰り返すことによって多層の配線基板を得ることができる。

【0007】この様な、図10に示す方法によれば、図9に示すビルドアップ法に比較して製造工程を簡略化できる。しかしながら、銅箔201上に更に銅層203を形成するため、配線パターン204を形成するためのエッチング等を施す金属層が厚くなる。このため、図10の方法で得られる配線基板の配線パターンは、図9に示すビルドアップ法で形成し得る配線パターンの形成密度よりも低密度となることが判明した。しかも、ビア形成用の凹部に樹脂を充填するため、樹脂の収縮等によって配線基板の表面が凹凸面となり易いことも併せて判明した。そこで、本発明の課題は、配線パターンの更なる高密度化を図ることができ、且つ製造工程を簡略化し得る多層配線回路基板及びその製造方法を提案することにある。

【0008】

【課題を解決するための手段】本発明者等は前記課題を解決すべく検討したところ、図8に示す配線基板は、図9及び図10に示す方法で得られる配線基板に比較して低コストで且つ簡略した製造工程で得ることができる。また、電子部品が実装される配線基板の実装面側に比較して、実装面に対して反対面で且つ配線基板の外部接続端子等が装着される外部接続端子装着面側の配線パターンは、実装面側よりも高密度であることを要せず、図8に示す配線基板で充分に対応できる。このため、本発明者は、前記課題を解決するには、配線基板の実装面側に、図8に示す配線基板に形成された配線パターン及びビア比較して、微細な微細配線パターンとビアとを形成し得るフィルム状基板を接着することが有効であると考え検討を重ねた結果、本発明に到達した。

【0009】すなわち、本発明は、絶縁層を介して多層に積層された配線パターンの各々が、前記絶縁層を貫通するビアによって電氣的に接続されて成る多層配線回路基板において、該多層配線回路基板の本体部を形成する本体部基板の少なくとも一面側に、前記本体部基板に形成された本体部配線パターンよりも微細な微細配線パターンが形成されたフィルム状基板が接着層によって接

着されていると共に、前記本体部配線パターンと微細配線パターンとが、前記フィルム状基板及び接着層を貫通し、且つ前記本体部基板に形成されたビアよりも微細な微細ビアによって電氣的に接続されていることを特徴とする多層配線回路基板にある。また、本発明は、絶縁層を介して多層に積層された配線パターンの各々が、前記絶縁層を貫通するビアにより電氣的に接続されて成る多層配線回路基板を製造する際に、該多層配線回路基板の本体部を形成する本体部基板の少なくとも一面側に、前記本体部基板に形成された本体部配線パターンよりも微細な微細配線パターンが形成されたフィルム状基板を接着層によって接着すると共に、前記本体部配線パターンと微細配線パターンとを、前記フィルム状基板及び接着層を貫通し、且つ前記本体部基板に形成したビアよりも微細な微細ビアによって電氣的に接続することを特徴とする多層配線回路基板の製造方法でもある。ここで、「本体部配線パターンよりも微細な微細配線パターン」とは、微細配線パターンを構成するラインのライン幅及びライン間のスペースが、本体部配線パターンを構成するラインのライン幅及びライン間のスペースよりも狭いことを意味する。

【0010】本願発明に係る多層配線回路基板は、多層配線回路基板の本体部を形成する本体部基板の少なくとも一面側に、この本体部基板に形成された本体部配線パターン及びビアよりも微細な微細配線パターン及びビアが形成されたフィルム状基板を、本体部配線パターンと微細配線パターンとを電氣的に接続しつつ、接着層によって接着して成るものである。このため、例えば、半導体装置等の電子部品が実装される実装面側に、チップサイズパッケージ(CSP)等の小型化された半導体装置やその他の電子部品を実装し得るように、所望パターンの微細配線パターンを形成できる。更に、本発明に係る多層配線回路基板を主として形成する本体部基板には、絶縁層を介して多層に積層された本体部配線パターンを、例えばドリル等の工作具を用いて穿設した絶縁層を貫通する透孔の内壁に、めっき金属皮膜を形成したビアによって電氣的に接続して成る本体部基板を用いることができ、多層配線回路基板を安価に製造できる。この様に、本発明によれば、例えば、CSP等の小型化された半導体装置等の電子部品を容易に実装し得る多層配線回路基板を安価に提供できる。

【0011】

【発明の実施の形態】本発明に係る多層配線回路基板(配線基板)は、図1に示す様に、本体部基板10とフィルム状基板12とから構成されている。かかる本体部基板10は、絶縁層14、14・・・を介して本体部配線パターン16、16・・・が積層されている。この本体部基板10では、本体部配線パターン16の相互を電氣的に接続するビア18は、ドリル等の工作具を用いて絶縁層14、14・・・に穿設した透孔の内壁にめっきを施

して形成されたものである。尚、ビア18は、必要に応じて導電性接着剤等の充填材が充填されていてもよい。

【0012】かかる本体部基板10の一面側に接着されるフィルム状基板12は、ポリイミド等の樹脂から成るフィルム20から成る。このフィルム20の一面側には、本体部基板10に形成された本体部配線パターン16よりも微細な微細配線パターン22が形成されていると共に、フィルム20の他面側には、熱可塑性樹脂から成る接着層24が形成されている。更に、微細配線パターン22に一端が接続されたビア26、26・・・も、フィルム20及び接着層24を貫通して形成されている。このビア26は、本体部基板10に形成されたビア18よりも微細である。この様な、本体部基板10とフィルム状基板12とは、フィルム状基板12に形成された接着層24によって接着される。かかる接着の際に、フィルム状基板12の一面側に形成されたビア26の他端が本体部基板10の一面側に形成された本体部配線パターン16に当接し、フィルム状基板12の一面側に形成された微細配線パターン22と本体部配線パターン16とは電氣的に接続される。

【0013】図1に示す配線基板を形成する本体部基板10は、ビア18が、ドリル等の工作具によって穿設した透孔の内壁に、めっき金属皮膜によって形成されたものであり、図9に示すビルドアップ法等によって形成された配線基板よりも安価に得ることができる。但し、本体部基板10では、前述した様に、ビア径等がドリル等の工作具の大きさ等で決定されるためにビア18の微細化には限界があり、本体部配線パターン16の微細化にも限界が存在する。この点、図1に示す配線基板では、本体部基板10の一面側に、本体部基板10の本体部配線パターン16及びビア18よりも微細な微細配線パターン22及びビア26が形成されたフィルム状基板12を接着することによって、小型化され外部接続端子が高密度に配設されているCSP等の電子部品の実装を可能にしている。その結果、図1に示す配線基板によれば、図9に示すビルドアップ法等によって形成された配線基板よりも安価に得ることができ、且つCSP等の小型化された電子部品の実装を可能とする。

【0014】図1に示す配線基板は、図2に示す様に、本体部基板10の一面側に、フィルム状基板12を接着層24により接着することによって得ることができる。かかる接着の際に、本体部配線パターン16と微細配線パターン22とをビア26によって電氣的に接続させつつ、本体部基板10とフィルム状基板12とを接着すべく、一端が微細配線パターン22に接続されたビア26の他端を本体部配線パターン16に当接させると共に、本体部基板10の一面側に、フィルム状基板12の熱可塑性樹脂から成る接着層24を当接させる。次いで、両基板が当接した状態を保持して加圧しつつ、接着

層24を形成する熱可塑性樹脂の接着力が発現する温度に加熱することによって、両基板を接着できる。

【0015】ここで、図1及び図2に示す本体部基板10は、従来から知られている方法で製造することができる。例えば、一面側に所定形状の本体部配線パターン16が形成された複数枚の樹脂板を積層した後、ドリル等の工作具によって透孔を形成し、次いで透孔の内壁にめっきを施してビア18を形成する。このめっきでは、先ず無電解めっき等によって、透孔の内壁面に銅等のフラッシュめっきを行った後、フラッシュめっきを電極の一方とする電解めっきによって透孔の内壁面に銅層を形成してビア18とする。尚、積層する樹脂板のうち、一部の樹脂板を積層した後、透孔を穿設してビア18を形成し、その後、残りの樹脂板を積層してもよい。

【0016】かかる本体部基板10の一面側に接着されるフィルム状基板12は、図3に示す方法で得ることができる。先ず、一面側に銅箔等の金属箔28が形成されている共に、他面側に熱可塑性樹脂から成る接着層24が形成されたポリイミド樹脂等の樹脂から成るフィルム20に、接着層24側に開口し且つ底面に金属箔28が露出する凹部30を形成する〔図3(a)(b)〕。この凹部30は、炭酸ガスレーザ等のレーザ加工によって形成できる。次いで、形成した凹部30には、金属箔28を電極の一方とする電解めっきによって、銅等の金属32を充填する〔図3(c)〕。金属32は、凹部30の開口面まで充填してもよいが、図3(c)に示す様に、凹部30の開口面よりも下方で金属32の充填を停止し、残存凹部33を残すことが好ましい。

【0017】この残存凹部33には、金属箔28及び金属32を電極の一方として、接着層24を形成する熱可塑性樹脂の溶融温度以下で溶融するはんだ等の低融点金属34を電解めっきにより充填し、ビア26を形成する〔図3(d)〕。その後、金属箔28にフォトリソ法等によってパターンニングを施して微細配線パターン22を形成する。更に、形成した微細配線パターン22の所定箇所に、金めっき等の所要のめっきを施してもよい。尚、低融点金属としては、はんだ以外にも接着層24を形成する熱可塑性樹脂の溶融温度よりも低温で溶融する低融点金属、具体的には錫、鉛、亜鉛、ビスマス、アンチモン、インジウム等の単体又は二種以上の金属から成る合金であって、融点が400℃以下の金属を用いることができる。

【0018】この様に、ビア26の先端部を低融点金属34によって形成することによって、本体部基板10の一面側にフィルム状基板12を熱圧着して接着する際に、ビア26の先端部を形成する低融点金属34が溶融して本体部配線パターン16にビア26を確実に接着することができる。更に、低融点金属34として、金属箔28にフォトリソ法等によってパターンニングを施して微細配線パターン22を形成する際に、エッチング液

に対して保護層となる低融点金属、例えばはんだを選択することが好ましい。かかる保護層によって、ビア26の露出面をマスクによって覆うことを必要としないため、フィルム状基板12の製造工程を簡略化できる。

【0019】フィルム状基板12に形成するビア26としては、図4(a)に示す様に、凹部30の金属箔28が露出する底面に、保護金属36を充填した後、銅等の金属32を電解めっき充填し、更に前述した低融点金属34を充填して三層構造としてもよい。かかる三層構造のうち、銅等の金属32から成る層が主としてビア26を形成する。かかる保護金属36は、低融点金属34と同一金属であってもよく、異なる金属であってもよいが、ニッケル、錫、はんだを好適に使用できる。この様に、凹部30の底面に保護金属36から成る層を形成することによって、金属箔28にフォトリソ法等によってパターンニングを施して微細配線パターン22を形成する際に、図4(b)に示す様に、ビア26を形成する位置がずれて微細配線パターン22からビア26の一部がはみ出しても、ビア26は保護金属36によってエッチング液から保護することができる。尚、図5に示す様に、凹部30に前述した低融点金属38のみを電解めっきによって充填してビア26を形成してもよい。

【0020】図3～図5に示す工程で形成されたフィルム状基板12は、図2に示す様に、本体部基板10の一面側に加熱圧着されて一体化され、図1に示す配線基板を得ることができる。更に、図1に示す配線基板には、その電子部品が実装される実装面を、図6に示す様に、電子部品の外部接続端子と接合される部分を除いてソルダレジスト等の樹脂から成る保護膜40によって覆うことが好ましい。微細配線パターン22等の酸化等を保護膜40によって防止できるためである。

【0021】図1～図6においては、単層のフィルム状基板12について説明してきたが、図7に示す様に、フィルム状基板12を多層フィルム状基板としてもよい。図7に示す多層フィルム状基板12は、第1層のフィルム状基板12aと第2層のフィルム状基板12bとが、第2層のフィルム状基板12bに形成された接着層24によって接着されているものである。かかる多層フィルム状基板12の微細配線パターン22の相互は、フィルム20及び接着層24を貫通するビア26によって電気的に接続されている。この様に、フィルム状基板12を多層化することによって、微細配線パターンを更に微細化、高密度化できる。以上、説明してきた図1～図7に示す配線基板によれば、フィルム状基板12に微細配線パターン22を形成でき、本体部基板10に微細配線パターンを造り込むことを要しないため、CSP等の小型化された電子部品を実装できる配線基板を安価に且つ容易に形成できる。また、本体部基板10とフィルム状基板12との各々について、導通試験等の試験を実施して良品のみを一体化できるため、図9に示すビルトアップ

ブ法に比較して配線基板の累積歩留りを向上できる。
尚、これまでの説明は、CSP等の小型化された電子部品を実装できる配線基板について説明してきたが、本発明に係る配線基板を半導体素子を搭載する半導体装置用配線基板にも適用できる。

【0022】

【実施例】実施例1

一面側に銅箔28が接合されていると共に、他面側に熱可塑性樹脂から成る接着層24が形成されている、厚さ25 μ mのポリイミドフィルム20を用いてフィルム状基板12を形成した。このフィルム状基板12は、先ず、接着層24及びポリイミドフィルム20に、炭酸ガスレーザによって口径約100 μ mの凹部30を形成した。この凹部30の底面には、銅箔28が露出している。次いで、銅箔28を電極の一方とする電解めっきによって、共晶組成の錫鉛合金を凹部30に充填してヴィア26を形成した後、銅箔28にフォトリソ法等によってパターンニングを施して微細配線パターン22を形成してフィルム状基板12を形成した。フィルム状基板12に形成された微細配線パターン22は、ライン幅が30 μ mで且つライン間のスペース幅が30 μ mのものであった。

【0023】その後、得られたフィルム状基板12を、プリント基板である本体部基板10の一面側に形成された本体部配線パターン16にヴィア26が当接するように位置合わせてして積層し、圧力15kgf/cm²、最高温度約200℃で真空プレスして一体化し、図1に示す配線基板を得た。得れた配線基板を切断して切断面を観察したところ、フィルム状基板12に形成したヴィア26の先端部は、本体部基板10の本体部配線パターン16に溶着されていた。ここで用いた本体部基板10には、ライン幅が80 μ mで且つライン間のスペース幅が80 μ mの本体部配線パターン16が、樹脂から成る絶縁層14を介して積層されていると共に、本体部配線パターン16の相互は絶縁層14を貫通する内径300 μ mのヴィア18によって電気的に接続されている。この様に、フィルム状基板12に形成された微細配線パターン22及びヴィア26は、本体部基板10に形成された本体部配線パターン16及びヴィア18に比較して微細なものである。

【0024】本実施例では、図1に示す配線基板の電子部品の実装面を、電子部品の外部接続端子と接続される微細配線パターン22の部分を除き、感光性ソルダレジストを塗布して形成した保護膜40によって覆い図6に示す配線基板とした。更に、保護膜40を形成しなかった微細配線パターン22の部分には、ニッケルめっきを施した後、更に金めっきを施した。最終的に得られた配線基板には、チップサイズパッケージ(CSP)を実装することができた。

【0025】実施例2

実施例1において、フィルム状基板12に形成するヴィア26を形成する際に、銅箔28を電極の一方とする電解めっきによって、錫めっきを施した後、銅めっきを施し、更にはんだめっきを施して三層構造のヴィア26を形成した他は、実施例1と同様にして配線基板を得た。得れた配線基板を切断して切断面を観察したところ、ヴィア26は主として銅によって形成されているものであり、はんだ34から成るヴィア26の先端部は本体部基板10の本体部配線パターン16に溶着されていた。最終的に得られた配線基板には、チップサイズパッケージ(CSP)を実装することができた。

【0026】実施例3

実施例1において、フィルム状基板12に形成するヴィア26を形成する際に、銅箔28を電極の一方とする電解めっきによって、銅めっきを施した後、はんだめっきを施して二層構造のヴィア26を形成した他は、実施例1と同様にして配線基板を得た。得れた配線基板を切断して切断面を観察したところ、ヴィア26は主として銅によって形成されているものであり、はんだ34から成るヴィア26の先端部は本体部基板10の本体部配線パターン16に溶着されていた。最終的に得られた配線基板には、チップサイズパッケージ(CSP)を実装することができた。

【0027】

【発明の効果】本発明に係る配線基板は、その電子部品の実装面側に、微細化された配線パターンが形成されたフィルム状基板が本体部基板に接着されて成るものであるため、CSP等の小型化された電子部品を実装することができる。更に、フィルム状基板が接着される本体部基板としては、絶縁層を介して多層に積層された本体部配線パターンの相互が、ドリル等の工作具を用いて穿設された絶縁層を貫通する透孔の内壁に、めっき等を施して形成されたヴィアによって電気的に接続されて成る安価な本体部基板を用いることができる。このため、最終的に得られる配線基板も、ビルドアップ法によって形成された配線基板に比較して、製造コストを安価とすることができる。

【図面の簡単な説明】

【図1】本発明に係る配線基板の部分断面図である。

【図2】図1に示す配線基板の製造方法を説明するための説明図である。

【図3】図1に示す配線基板を形成するフィルム状基板の製造工程を説明する工程図である。

【図4】図3に示すフィルム状基板の他の例を説明するための部分断面図である。

【図5】図3に示すフィルム状基板の他の例を説明するための部分断面図である。

【図6】本発明に係る配線基板の他の例を説明するための部分断面図である。

【図7】本発明に係る配線基板の他の例を説明するため

の部分断面図である。

【図8】従来の配線基板の部分断面図である。

【図9】ビルトアップ法による配線基板の製造工程を示す部分断面図である。

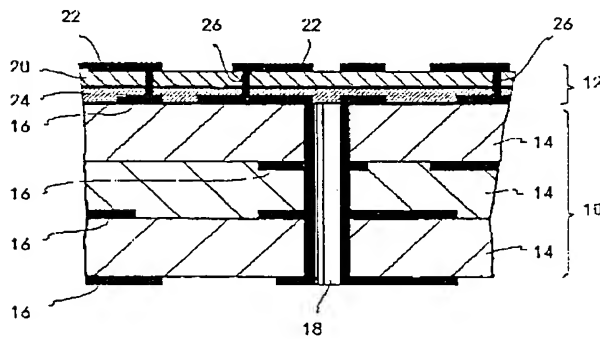
【図10】図9に示すビルトアップ法による配線基板の製造を改良した改良方法を説明するための工程図である。

【符号の説明】

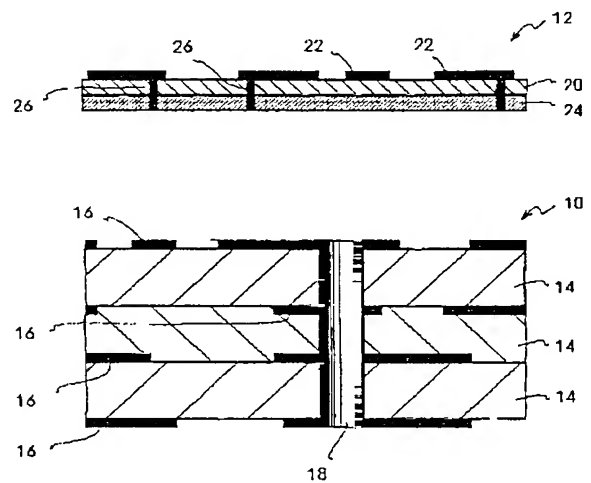
10 本体部基板
12 フィルム状基板
14 絶縁層

16 本体部配線パターン
18、26 ビア
20 フィルム
22 微細配線パターン
24 接着層
28 金属層
30 凹部
32 金属
34、36、38 低融点金属
40 保護膜

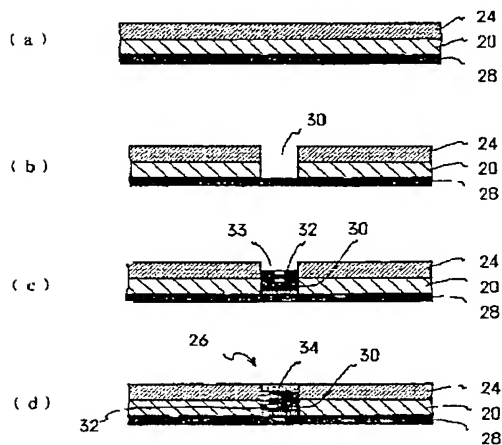
【図1】



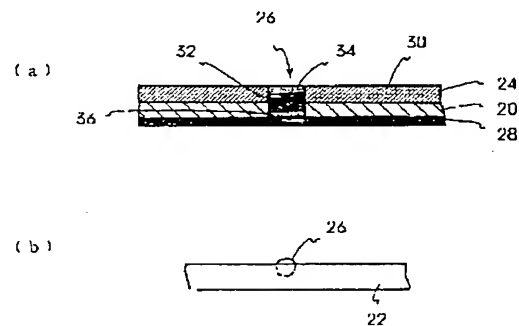
【図2】



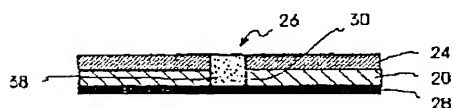
【図3】



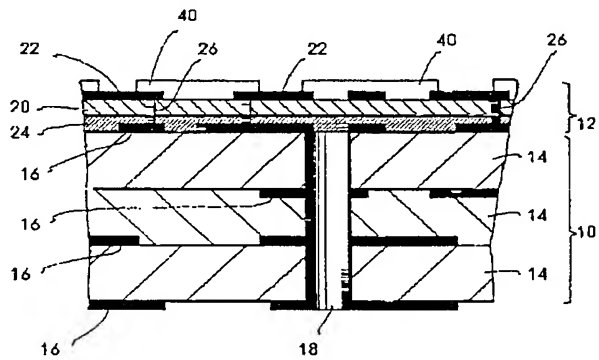
【図4】



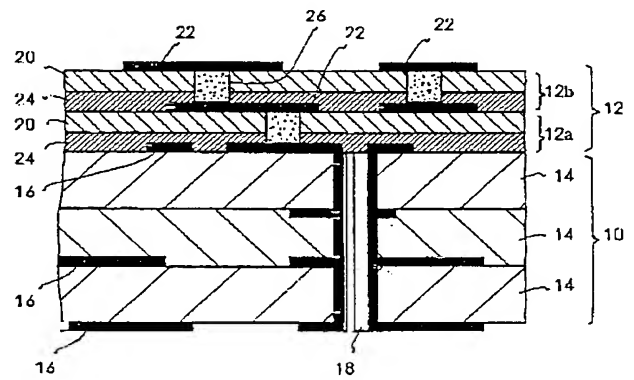
【図5】



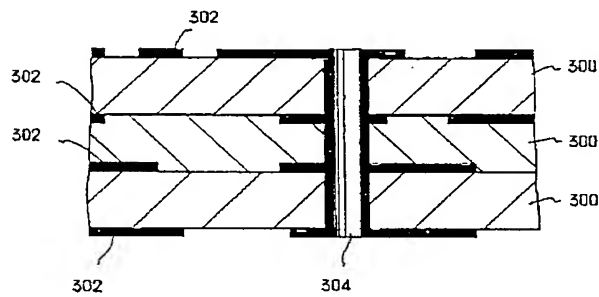
【図6】



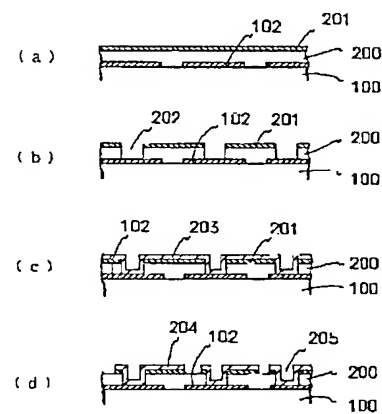
【図7】



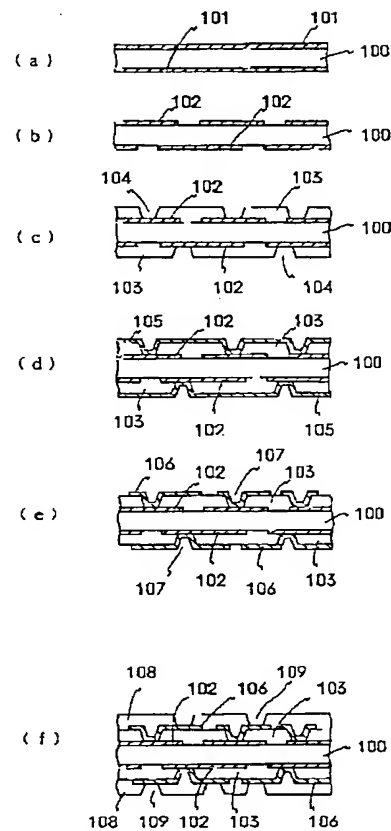
【図8】



【図10】



【図9】



フロントページの続き

Fターム(参考) 5E346 AA02 AA16 AA26 AA43 CC08
CC10 CC32 CC33 CC37 CC40
CC41 DD03 DD12 DD17 DD25
DD32 EE12 EE13 EE18 EE33
EE38 EE44 FF06 FF07 FF15
FF18 GG15 GG28 HH26